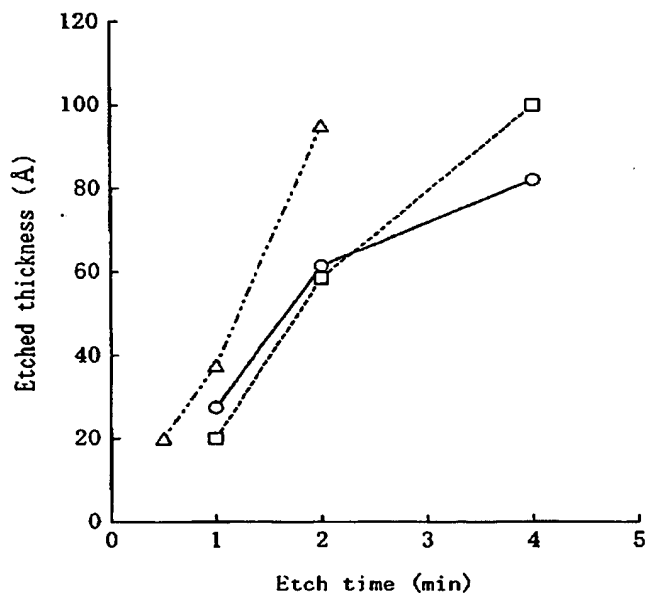


L1 ANSWER 3 OF 3 WPINDEX COPYRIGHT 2005 THE THOMSON CORP on STN
 AN 2003-585839 [35] WPINDEX
 DNN N2003-466435 DNC C2003-158517
 TI Wet etching process, for use in semiconductor device fabrication, includes annealing substrate having metal oxide film, exposing surface of annealed metal oxide film to plasma and wet etching portion of metal oxide film.
 DC L03 U11
 IN HAYASHI, S; KUBOTA, M; MITSUHASHI, R
 PA (MATU) MATSUSHITA DENKI SANGYO KK; (MATU) MATSUSHITA ELECTRIC IND CO LTD
 CYC 2
 PI US 2003104706 A1 20030605 (200355)* 17 H01L021-302
 JP 2003234325 A 20030822 (200364) 13 H01L021-306 <--
 US 6667246 B2 20031223 (200408) H01L021-31
 ADT US 2003104706 A1 US 2002-309038 20021204; JP 2003234325 A JP 2002-322755 20021106; US 6667246 B2 US 2002-309038 20021204
 PRAI JP 2001-369825 20011204
 IC ICM H01L021-302; H01L021-306; H01L021-31
 ICS H01L021-336; H01L021-461; H01L029-78
 ---○--- Annealed HfO₂ film
 ---□--- Unannealed HfO₂ film
 ---△--- Thermal oxide film



AB US2003104706 A UPAB: 20030828
 NOVELTY - A wet etching method includes annealing a substrate having metal oxide film, exposing surface of annealed metal oxide film to plasma and removing a surface portion of metal oxide film by wet etching.
 DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for fabrication of semiconductor device by annealing a substrate having metal-oxide film, depositing a conductive film on the annealed metal-oxide film, patterning the conductive film to form a gate electrode while exposing a portion of metal-oxide film located outside the gate electrode, exposing surface of exposed portion of metal-oxide film to plasma, and removing exposed portion of metal-oxide film by wet-etching; or forming dummy gate electrode on a substrate, forming an insulating sidewall on side surface of dummy gate electrode, forming an interlayer insulating film on the substrate where dummy gate electrode and sidewall have been formed so that an upper surface of the dummy gate electrode is exposed, removing the dummy gate electrode to form a recess in the interlayer insulating film with the sidewall being a wall surface of the recess, depositing a metal-oxide film on the interlayer insulating film so that the recess is partly filled, annealing the substrate with the metal-oxide film, depositing a conductive film on the annealed metal-oxide film so

that recess is completely filled, removing a portion of conductive film located outside the recess to form a gate electrode while exposing a portion of metal-oxide film located outside the gate electrode, exposing a surface of the exposed portion of metal-oxide film to a plasma, and removing the exposed portion of metal-oxide film by wet-etching.

USE - Semiconductor device fabrication.

ADVANTAGE - The process reliably removes insulating metal oxide film whose surfaces have been altered through annealing process.

DESCRIPTION OF DRAWING(S) - The figure is a graph showing the results of a comparison between the dry etch rates of an annealed hafnium oxide film and an unannealed hafnium oxide film.

Dwg. 6/8

FS CPI EPI

FA AB; GI

MC CPI: L04-C07C1; L04-C12A; L04-C16A

EPI: U11-C07B; U11-C07C3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-234325

(P 2 0 0 3 - 2 3 4 3 2 5 A)

(43) 公開日 平成15年8月22日 (2003. 8. 22)

(51) Int. Cl. ⁷	識別記号	F. I.	テマコード (参考)
H01L 21/306		H01L 21/306	D 5F043
21/336		29/78	301 G 5F140
29/78			301 P

審査請求 有 請求項の数10 O L (全13頁)

(21) 出願番号	特願2002-322755 (P 2002-322755)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年11月6日 (2002. 11. 6)	(72) 発明者	三橋 理一郎 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願2001-369825 (P2001-369825)	(72) 発明者	久保田 正文 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32) 優先日	平成13年12月4日 (2001. 12. 4)	(74) 代理人	100077931 弁理士 前田 弘 (外7名)
(33) 優先権主張国	日本 (J P)		

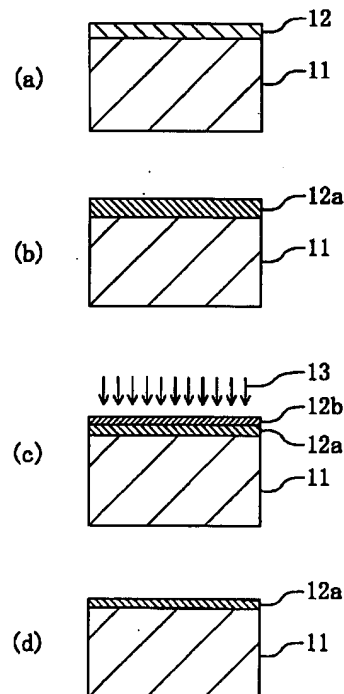
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 熱処理等によって表面が変質した絶縁性金属酸化膜をウェットエッチングによって確実に除去できるようにする。

【解決手段】 H f O₂ 膜12が堆積されたシリコン基板11に対して熱処理を行なった後、熱処理後のH f O₂ 膜12aの表面をプラズマに暴露し、その後、熱処理後のH f O₂ 膜12aの表面部、つまりダメージ層12bをウェットエッチングにより除去する。



【特許請求の範囲】

【請求項 1】 金属酸化膜が堆積された基板に対して熱処理を行なう第 1 の工程と、
前記熱処理が行なわれた前記金属酸化膜の表面をプラズマに暴露する第 2 の工程と、
前記プラズマに暴露された前記金属酸化膜の少なくとも表面部をウェットエッチングにより除去する第 3 の工程とを備えていることを特徴とするウェットエッチング方法。

【請求項 2】 前記第 2 の工程は、前記基板にバイアス電力を印加する工程を含むことを特徴とする請求項 1 に記載のウェットエッチング方法。

【請求項 3】 前記プラズマは、HBr を含むガスよりなるプラズマであることを特徴とする請求項 1 に記載のウェットエッチング方法。

【請求項 4】 前記第 3 の工程は、フッ素を含む溶液を用いて行なわれることを特徴とする請求項 1 に記載のウェットエッチング方法。

【請求項 5】 前記金属酸化膜は、ハフニウム、ジルコニウム、ランタン、タンタル及びアルミニウムのうちの少なくとも 1 つを含む酸化膜であることを特徴とする請求項 1 に記載のウェットエッチング方法。

【請求項 6】 金属酸化膜が堆積された基板に対して熱処理を行なう第 1 の工程と、
前記熱処理が行なわれた前記金属酸化膜の上に導電膜を堆積する第 2 の工程と、
前記導電膜をパターニングしてゲート電極を形成すると共に前記金属酸化膜における前記ゲート電極の外側部分を露出させる第 3 の工程と、
前記金属酸化膜の露出部分の表面をプラズマに暴露する第 4 の工程と、
前記プラズマに暴露された前記金属酸化膜の露出部分をウェットエッチングにより除去する第 5 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 3 の工程は、ゲート電極形成領域を覆うマスクパターンを用いて前記導電膜及び金属酸化膜に対して順次プラズマエッチングを行ない、それによって前記金属酸化膜における前記ゲート電極の外側部分を薄くする工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 基板上にダミーゲート電極を形成する第 1 の工程と、
前記ダミーゲート電極の側面に絶縁性のサイドウォールを形成する第 2 の工程と、
前記ダミーゲート電極及び前記サイドウォールが形成された前記基板の上に層間絶縁膜を、前記ダミーゲート電極の上面が露出するように形成する第 3 の工程と、
前記ダミーゲート電極を除去し、それにより前記サイドウォールを壁面とする凹部を前記層間絶縁膜に形成する第 4 の工程と、

前記層間絶縁膜の上に金属酸化膜を、前記凹部が途中まで埋まるように堆積する第 5 の工程と、

前記金属酸化膜が堆積された基板に対して熱処理を行なう第 6 の工程と、

前記熱処理が行なわれた前記金属酸化膜の上に導電膜を、前記凹部が完全に埋まるように堆積する第 7 の工程と、

前記導電膜における前記凹部の外側部分を除去することによって、前記凹部にゲート電極を形成すると共に前記金属酸化膜における前記凹部の外側部分を露出させる第 8 の工程と、

前記金属酸化膜の露出部分の表面をプラズマに暴露する第 9 の工程と、

前記プラズマに暴露された前記金属酸化膜の露出部分をウェットエッチングにより除去する第 10 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 1 の工程は、前記基板と前記ダミーゲート電極との間にダミーゲート絶縁膜を形成する工程を含み、

前記第 4 の工程は、前記ダミーゲート絶縁膜を除去する工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 9 の工程は、前記金属酸化膜の露出部分に対してプラズマエッチングを行ない、それによって前記金属酸化膜の露出部分を薄くする工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、高誘電率を有するゲート絶縁膜となる金属酸化膜に対してウェットエッチングを行なう方法に関する。

【0002】

【従来の技術】MIS 型半導体装置のゲート絶縁膜として、現在、シリコン酸化膜 (SiO_2 膜) が用いられている。一方、近年、半導体集積回路の高集積化が大きく進展してきているが、2 nm 程度以下の極薄シリコン酸化膜をゲート絶縁膜として用いると、トンネル現象等によってゲートリーク特性が悪化し、その結果、低消費電力の LSI を実現することが困難になる。

【0003】そこで、次世代のゲート絶縁膜として、シリコン酸化膜に代わり、ハフニウム等の金属の酸化物からなる高誘電率金属酸化膜が期待されている。例えば、ハフニウムの金属酸化膜 (HfO_2 膜) の比誘電率は 20 程度であるので、 HfO_2 膜をゲート絶縁膜として利用した場合、 SiO_2 膜に換算した膜厚が 2 nm 以下の HfO_2 膜であっても、 SiO_2 膜と同等以上の容量を有することができる。しかも、 HfO_2 膜をゲート絶縁膜として利用することにより、 SiO_2 膜と比較してリ

ーク電流が3桁以上低減されたトランジスタを実現することができる。

【0004】HfO₂膜は、通常、スパッタ法又はCVD (chemical vapor deposition) 法を用いて成膜される。成膜直後のHfO₂膜 (つまりアズデポ状態の膜) は希フッ酸 (DHF) 溶液によって容易に溶解される。このため、DHF溶液はHfO₂膜をウェットエッチングするためのエッチング液 (以下、薬液と称することもある) として用いることができる。ところが、HfO₂膜の成膜後にHfO₂膜に対して熱処理を行なうと、HfO₂膜のDHF溶液に対する溶解性が低下する (非特許文献1参照)。これは、成膜後の熱処理によって、HfO₂膜の表面が変質したためと考えられる。

【0005】

【非特許文献1】ジェイ・ジェイ・チャンパース (J. J. Chambers) 他、希フッ酸におけるハフニウム及びジルコニウムシリケートのエッチ速度の成分及び膜堆積後熱処理依存性 (Effect of Composition and Post-Deposition Annealing on the Etch Rate of Hafnium and Zirconium Silicates in Dilute HF)、米国電気化学会第200回講演会予稿集 (The Electrochemical Society 200th Meeting abs.)、2001年9月、1434ページ

【0006】

【発明が解決しようとする課題】しかしながら、HfO₂膜をゲート絶縁膜として用いようとする場合、成膜後の熱処理を行なった後においてHfO₂膜をウェットエッチングにより除去したい場合も多い。

【0007】そこで、本願発明者らは、熱処理後のHfO₂膜をウェットエッチングにより除去できる薬液を調べるため、熱処理後のHfO₂膜を様々な薬液に浸した場合におけるHfO₂膜の膜厚変化を調べた。その結果を図1に示す。尚、図1において、「時間」はHfO₂膜を薬液に浸す時間を示しており、「Δ」はHfO₂膜の膜厚変化を示している。ここで、「Δ」がマイナスの値であることは、HfO₂膜の膜厚が増加していることを意味している。また、薬液名の「フッ化アンモ」、「過水」、「P. S. エッチ液」はそれぞれ「フッ化アンモニウム」、「過酸化水素水」、「ポリシリコンエッチング液」を意味している。また、KOH以外の薬液の濃度は全て体積%である。また、「HF+NH₄OH」の濃度1%は、備考欄に示す原液を純水で1体積%に希釈したことを意味する。また、「P. S. エッチ液」の備考欄に示す混合比は体積比である。さらに、備考欄の「はがれ」とは、HfO₂膜の地下層がリフトオフされてはがれたことを意味している。

【0008】図1から明らかなように、熱処理後のHfO₂膜は、DHF溶液のみならず、半導体装置製造工程で一般的に使用される様々な薬品、例えば様々な濃度のフッ酸 (HF) 溶液等にもほとんど溶けない。すなわち、様々な薬液を用いたとしても、熱処理後のHfO₂

膜をウェットエッチングにより除去することは困難である。その理由は次のように考えられている。一般的に、HfO₂膜等の金属酸化膜は、堆積後の熱処理によってアモルファスからMonoclinic結晶に変化する。この変化により、HfO₂膜の表面にはHfO₂の不動態膜が形成され、その結果、HfO₂膜をウェットエッチングにより除去することが困難になる。

【0009】尚、HfO₂の不動態膜は、熱濃硫酸等の非常に酸化力の強い酸でなければ、溶解させることができないことが知られている。しかし、そのような酸を半導体装置製造工程に利用することは現実的でなく、従って、熱処理後のHfO₂膜をウェットエッチングにより除去することは非常に困難になる。このため、今後、HfO₂膜をトランジスタに利用するにあたって、HfO₂膜の完全な除去は大きな課題になると考えられる。また、HfO₂以外の金属酸化膜、例えばジルコニウム (Zr)、ランタン (La)、タンタル (Ta) 又はアルミニウム (Al) 等の高融点金属の酸化膜についても、HfO₂と同様の傾向を示すものと考えられる。

【0010】前記に鑑み、本発明は、熱処理等によって表面が変質した絶縁性金属酸化膜をウェットエッチングによって確実に除去できるようにすることを目的とする。

【0011】

【課題を解決するための手段】前記の目的を達成するために様々な試行錯誤を重ねた結果、本願発明者らは、熱処理後のHfO₂膜に対してウェットエッチングを行なう前に、HfO₂膜をプラズマに暴露することによって、HfO₂膜を、DHF溶液等を用いたウェットエッチングによって容易に除去できるようになることを見出した。その理由は、HfO₂膜をプラズマに暴露することによって、HfO₂膜における厚さ1乃至3 nm程度の表面部がプラズマダメージを受け、その結果生じたダメージ層がウェットエッチングされやすくなるからであると考えられる。

【0012】図2は、本願発明者らにより得られた、熱処理後のHfO₂膜のDHF溶液によるウェットエッチング量の、プラズマ処理時間 (ウェットエッチング前に行なうプラズマ処理の処理時間) に対する依存性の調査結果を示す図である。ここで、プラズマガス種としては、HBrガスとCl₂ガスとO₂ガスとの混合ガス、及びHBrガスとCl₂ガスとの混合ガスをそれぞれ用いた。図2に示すように、いずれのプラズマガス種を用いた場合にも、HfO₂膜のウェットエッチングが可能となっている。このことから、本願発明者らは、ウェットエッチング前のプラズマ処理の働き、つまり、熱処理されたHfO₂膜にダメージ層を形成するという働きは、プラズマガス種に限定されずに得られるものと考えている。但し、HfO₂膜をゲート絶縁膜として用いる場合においてドライエッチングによるゲート電極形成か

ら連続して HfO_2 膜(ゲート電極の外側部分)にダメージ層を形成する場合等においては、ゲート電極のサイドエッチングを防止できるようなプラズマガス種を用いることが好ましい。

【0013】本発明は、以上の知見に基づきなされたものであって、具体的には、本発明に係るウェットエッチング方法は、金属酸化膜が堆積された基板に対して熱処理を行なう第1の工程と、熱処理が行なわれた金属酸化膜の表面をプラズマに暴露する第2の工程と、プラズマに暴露された金属酸化膜の少なくとも表面部をウェットエッチングにより除去する第3の工程とを備えている。

【0014】本発明のウェットエッチング方法によると、金属酸化膜が堆積された基板に対して熱処理を行なった後、金属酸化膜の表面をプラズマに暴露し、その後、金属酸化膜の少なくとも表面部をウェットエッチングにより除去する。すなわち、熱処理により変質された金属酸化膜、つまりウェットエッチングされにくくなった金属酸化膜の表面をプラズマに暴露する。このため、金属酸化膜の少なくとも表面部に、ウェットエッチングされやすいダメージ層が形成される。従って、該ダメージ層、つまり金属酸化膜の少なくとも表面部をウェットエッチングによって確実に除去することができる。

【0015】尚、ウェットエッチング可能なダメージ層は、金属酸化膜のうち表面から数nm程度の深さまでしか形成されないので、熱処理後の金属酸化膜の膜厚が大きい場合、ウェットエッチング後に金属酸化膜の一部が残ってしまう。すなわち、金属酸化膜を完全には除去できない。この場合、プラズマ処理によって金属酸化膜にダメージ層を形成する際に、例えばドライエッチングガスを用いて金属酸化膜に対してエッチングを行なって予め金属酸化膜を薄膜化しておくことが好ましい。このようにすると、金属酸化膜全体にダメージ層を形成でき、それにより金属酸化膜をウェットエッチングにより完全に除去することが可能となる。従って、後工程において金属酸化膜残りに起因して金属汚染が生じるという問題を回避できる等の効果を奏することができる。

【0016】本発明のウェットエッチング方法において、第2の工程は、基板にバイアス電力を印加する工程を含むことが好ましい。

【0017】このようにすると、プラズマ中のイオンが効率よく基板まで到達するため、金属酸化膜に対してより大きなプラズマダメージを与えることができるので、金属酸化膜のウェットエッチングがより簡単に行なえる。

【0018】本発明のウェットエッチング方法において、プラズマは、 HBr を含むガスよりなるプラズマであることが好ましい。

【0019】このようにすると、熱処理等によって表面が変質した金属酸化膜に対して、 HBr を含むガスがドライエッチング作用を持つので、金属酸化膜にダメージ

層を形成すると同時に金属酸化膜を薄膜化することができる。これにより、金属酸化膜の全体にダメージ層を形成できるので、金属酸化膜をウェットエッチングにより完全に除去することが可能となる。但し、 HBr を含むガスは、基板に対してもダメージを与えるため、ウェットエッチングの前に、 HBr を含むガスよりなるプラズマに金属酸化膜の表面を暴露する場合、該プラズマ処理によって任意の膜厚まで金属酸化膜をエッチングした後、金属酸化膜に対してウェットエッチングを行なうことが好ましい。このようにすると、基板へのダメージを低減しながら、ウェットエッチングによる金属酸化膜の除去を行なうことができる。

【0020】本発明のウェットエッチング方法において、第3の工程は、フッ素を含む溶液を用いて行なわれることが好ましい。

【0021】このようにすると、ウェットエッチングによって金属酸化膜を確実に除去することができる。

【0022】本発明のウェットエッチング方法において、金属酸化膜は、ハフニウム、ジルコニウム、ランタン、タンタル及びアルミニウムのうちの少なくとも1つを含む酸化膜であってもよい。

【0023】本発明に係る第1の半導体装置の製造方法は、金属酸化膜が堆積された基板に対して熱処理を行なう第1の工程と、熱処理が行なわれた金属酸化膜の上に導電膜を堆積する第2の工程と、導電膜をパターニングしてゲート電極を形成すると共に金属酸化膜におけるゲート電極の外側部分を露出させる第3の工程と、金属酸化膜の露出部分の表面をプラズマに暴露する第4の工程と、プラズマに暴露された金属酸化膜の露出部分をウェットエッチングにより除去する第5の工程とを備えている。

【0024】第1の半導体装置の製造方法によると、高誘電率ゲート絶縁膜となる金属酸化膜におけるゲート電極の外側部分の除去に、本発明のウェットエッチング方法を用いるため、金属酸化膜の除去対象部分を完全に除去することが可能となる。このため、次工程以降のプロセスにおいて、金属酸化膜を構成する金属に起因して汚染が生じる事態を確実に回避することができる。従って、従来のMOSプロセスにおけるゲート絶縁膜として、シリコン酸化膜に代えて高誘電率金属酸化膜を用いた場合にも、高信頼性を有する半導体装置を歩留まり良く製造することができる。

【0025】尚、第1の半導体装置の製造方法において、ゲート電極となる導電膜は、例えば金属膜とシリコン膜との積層構造を有していてもよい。この場合、導電膜をパターニングするためのドライエッチングにおいて、エッチング対象毎に必要な応じてエッチング条件を変更してもよい。また、シリコン膜(ポリシリコン膜)がゲート電極の一部又は全部に用いられる場合には、金属酸化膜の表面改質のためのプラズマ処理の際に、ゲ-

ト電極を構成するポリシリコン膜の側面がエッチングされることを防止する必要がある。従って、この場合の表面改質プラズマ処理に用いられるガスは酸素を含まないことが好ましい。

【0026】また、第1の半導体装置の製造方法において、第3の工程は、ゲート電極形成領域を覆うマスクパターンを用いて導電膜及び金属酸化膜に対して順次プラズマエッチングを行ない、それによって金属酸化膜におけるゲート電極の外側部分を薄くする工程を含むことが好ましい。

【0027】このようにすると、金属酸化膜の除去対象部分を薄膜化することにより、該除去対象部分の全体にダメージ層を形成できるので、該除去対象部分をウェットエッチングにより完全に除去することが可能となる。

【0028】本発明に係る第2の半導体装置の製造方法は、基板上にダミーゲート電極を形成する第1の工程と、ダミーゲート電極の側面に絶縁性のサイドウォールを形成する第2の工程と、ダミーゲート電極及びサイドウォールが形成された基板の上に層間絶縁膜を、ダミーゲート電極の上面が露出するように形成する第3の工程と、ダミーゲート電極を除去し、それによりサイドウォールを壁面とする凹部を層間絶縁膜に形成する第4の工程と、層間絶縁膜の上に金属酸化膜を、凹部が途中まで埋まるように堆積する第5の工程と、金属酸化膜が堆積された基板に対して熱処理を行なう第6の工程と、熱処理が行なわれた金属酸化膜の上に導電膜を、凹部が完全に埋まるように堆積する第7の工程と、導電膜における凹部の外側部分を除去することによって、凹部にゲート電極を形成すると共に金属酸化膜における凹部の外側部分を露出させる第8の工程と、金属酸化膜の露出部分の表面をプラズマに暴露する第9の工程と、プラズマに暴露された金属酸化膜の露出部分をウェットエッチングにより除去する第10の工程とを備えている。

【0029】第2の半導体装置の製造方法によると、リプレースメント型のMISトランジスタの形成において、高誘電率ゲート絶縁膜となる金属酸化膜におけるゲート電極形成用凹部の外側部分の除去に、本発明のウェットエッチング方法を用いるため、金属酸化膜の除去対象部分を完全に除去することが可能となる。このため、次工程以降のプロセスにおいて、金属酸化膜を構成する金属に起因して汚染が生じる事態を確実に回避することができる。従って、ゲート絶縁膜として、シリコン酸化膜に代えて高誘電率金属酸化膜を用いた場合にも、信頼性が高いリプレースメント型のMISトランジスタを有する半導体装置を歩留まり良く製造することができる。

【0030】第2の半導体装置の製造方法において、第1の工程は、基板とダミーゲート電極との間にダミーゲート絶縁膜を形成する工程を含み、第4の工程は、ダミーゲート絶縁膜を除去する工程を含んでいてもよい。

【0031】第2の半導体装置の製造方法において、第

9の工程は、金属酸化膜の露出部分に対してプラズマエッチングを行ない、それによって金属酸化膜の露出部分を薄くする工程を含むことが好ましい。

【0032】このようにすると、金属酸化膜の除去対象部分を薄膜化することにより、該除去対象部分の全体にダメージ層を形成できるので、該除去対象部分をウェットエッチングにより完全に除去することが可能となる。

【0033】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係るウェットエッチング方法について図面を参照しながら説明する。

【0034】図3(a)～(d)は、第1の実施形態に係るウェットエッチング方法の各工程を示す断面図である。

【0035】まず、例えばスパッタ蒸着装置を用いて、図3(a)に示すように、シリコン基板11の上に、HfO₂膜（堆積直後のHfO₂膜）12を堆積する。

【0036】次に、シリコン基板11に対して熱処理、例えば高速熱窒化処理（RTN処理）を行なう。これにより、図3(b)に示すように、堆積直後のHfO₂膜12が変質して、ウェットエッチング不可能なHfO₂膜（熱処理後のHfO₂膜）12aとなる。ここで、具体的な熱処理条件は、チャンバー内雰囲気为空素雰囲気、熱処理温度が800℃、熱処理時間が60秒である。

【0037】次に、例えば誘導結合プラズマ（ICP）型ドライエッチング装置を用いて、熱処理後のHfO₂膜12aをプラズマに暴露し、それによって、熱処理後のHfO₂膜12aの表面にプラズマダメージを与える。具体的なプラズマ処理条件は、プラズマガス種がHBrガスとCl₂ガスとO₂ガスとの混合ガス（流量比はHBr:Cl₂:O₂=100:15:10）、ドライエッチング装置のチャンバー内の全圧力が8Pa、シリコン基板11に印加するバイアス電力が60W、プラズマ発生用のソースパワーが500Wである。このようなプラズマ処理を行なうことによって、図3(c)に示すように、プラズマ中のイオン13等により、熱処理後のHfO₂膜12aにおける表面から1～3nm程度の深さまでの領域に、ウェットエッチング可能なダメージ層12bが形成される。

【0038】次に、図3(d)に示すように、例えば1質量%濃度程度のフッ酸が含まれた希フッ酸（DHF）溶液を用いてダメージ層12bに対してウェットエッチングを行ない、それによってダメージ層12b、つまり熱処理後のHfO₂膜12aの表面部を除去する。

【0039】第1の実施形態によると、HfO₂膜12が堆積されたシリコン基板11に対して熱処理を行なった後、熱処理後のHfO₂膜12aの表面をプラズマに暴露し、その後、熱処理後のHfO₂膜12aの表面部をウェットエッチングにより除去する。すなわち、熱処

理により変質されてウェットエッチングされにくくなったHfO₂膜12aの表面をプラズマに暴露する。このため、熱処理後のHfO₂膜12aの表面部に、ウェットエッチングされやすいダメージ層12bが形成される。従って、ダメージ層12b、つまり熱処理後のHfO₂膜12aの表面部をウェットエッチングによって確実に除去できる。

【0040】また、第1の実施形態によると、熱処理後のHfO₂膜12aの表面をプラズマに暴露する際に、シリコン基板11にバイアス電力を印加する。このため、プラズマ中のイオン13が効率よくシリコン基板11まで到達するため、HfO₂膜12aに対してより大きなプラズマダメージを与えることができるので、HfO₂膜12aのウェットエッチングがより簡単に行なえる。

【0041】尚、第1の実施形態においては、ダメージ層12bの除去後に、熱処理後のHfO₂膜12aの一部が残存する。すなわち、ウェットエッチング可能なダメージ層は、HfO₂膜のうち表面から数nm程度の深さまでしか形成されないの、熱処理後のHfO₂膜の膜厚が大きい場合、ウェットエッチング後にHfO₂膜の一部が残ってしまう。言い換えると、HfO₂膜を完全には除去できない。この場合、プラズマ処理によってHfO₂膜にダメージ層を形成する際に、例えばドライエッチングガスを用いてHfO₂膜に対してエッチングを行なって予めHfO₂膜を薄膜化しておくことが好ましい。このようにすると、HfO₂膜全体にダメージ層を形成でき、それによりHfO₂膜をウェットエッチングにより完全に除去することが可能となる。従って、後工程においてHfO₂膜残りに起因して金属汚染が生じるといった問題を回避できる等の効果を奏することができる。

【0042】また、第1の実施形態において、熱処理後のHfO₂膜12aに対するプラズマ処理で用いるプラズマガス種は特に限定されるものではないが、HBrを含むガスよりなるプラズマを用いると次のような効果が得られる。すなわち、熱処理等によって表面が変質したHfO₂膜に対して、HBrを含むガスがドライエッチング作用を持つので、HfO₂膜にダメージ層を形成すると同時にHfO₂膜を薄膜化することができる。これにより、HfO₂膜の全体にダメージ層を形成できるので、HfO₂膜をウェットエッチングにより完全に除去することが可能となる。但し、HBrを含むガスは、基板に対してもダメージを与えるため、ウェットエッチングの前に、HBrを含むガスよりなるプラズマにHfO₂膜の表面を暴露する場合、該プラズマ処理によって任意の膜厚までHfO₂膜をエッチングした後、HfO₂膜に対してウェットエッチングを行なうことが好ましい。このようにすると、基板へのダメージを低減しながら、ウェットエッチングによるHfO₂膜の除去を行な

うことができる。

【0043】また、第1の実施形態において、熱処理後のHfO₂膜12a（ダメージ層12b）に対するウェットエッチングで用いる薬液は特に限定されるものではないが、フッ素を含む薬液を用いると次のような効果が得られる。すなわち、ウェットエッチングによってダメージ層12bを確実に除去することができる。

【0044】また、第1の実施形態において、ウェットエッチング対象としてHfO₂膜を用いたが、ウェットエッチング対象となる金属酸化膜は特に限定されるものではない。具体的には、ハフニウム、ジルコニウム、ランタン、タンタル及びアルミニウムのうちの少なくとも1つを含む酸化膜、例えばジルコニウム酸化膜、ランタン酸化膜、タンタル酸化膜又はアルミニウム酸化膜等であれば、本実施形態と同様の効果が得られる。

【0045】（第2の実施形態）以下、本発明の第2の実施形態に係る半導体装置の製造方法、具体的にはHfO₂膜等の金属酸化膜をゲート絶縁膜として備えた半導体装置の製造方法について図面を参照しながら説明する。ここで、HfO₂膜等の金属酸化膜はシリコン酸化膜よりも高い誘電率を持つため、シリコン酸化膜に代わる次世代のゲート絶縁膜として特に期待されている。尚、本実施形態では、高誘電率ゲート絶縁膜となる金属酸化膜におけるゲート電極の外側部分の除去に、本発明のウェットエッチング方法（第1の実施形態参照）を用いる。

【0046】図4（a）～（c）及び図5（a）～（c）は、第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0047】まず、図4（a）に示すように、素子分離絶縁膜22が形成されたシリコン基板21上に、例えばスパッタ法により、ゲート絶縁膜となる厚さ5nm程度のHfO₂膜（堆積直後のHfO₂膜）23を堆積する。ここで、スパッタ条件は、使用ターゲットがHfターゲット、RFパワーが200W、チャンバー内圧力が0.4kPa、使用ガスが、アルゴン（Ar）ガスと酸素（O₂）ガスとの混合ガス（流量は両方とも10ml/min（標準状態））である。

【0048】次に、シリコン基板21に対して熱処理、例えばRTN処理を行なう。ここで、具体的な熱処理条件は、熱処理温度が800℃、熱処理時間が60秒である。この熱処理は、堆積したHfO₂膜23を緻密化し、それによりHfO₂膜23を安定化させると共にその電気的特性を向上させるために行なうものである。この熱処理により、HfO₂膜23はアモルファスからMonoclinic結晶に変質する。その結果、図4（b）に示すように、堆積直後のHfO₂膜23は、ウェットエッチング不可能なHfO₂膜（熱処理後のHfO₂膜）23aとなる。

【0049】次に、図4（c）に示すように、熱処理後

のHfO₂膜23aの上に、ゲート電極となるポリシリコン膜24を形成する。その後、図5(a)に示すように、ポリシリコン膜24の上に、ゲート電極形成領域を覆うマスクパターン25を形成する。具体的には、ポリシリコン膜24の上に、マスクパターン25つまりハードマスクとなるシリコン窒化膜(図示省略)を形成した後、該シリコン窒化膜をパターニングするためのレジスト膜(図示省略)を塗布する。その後、公知のリソグラフィ法等により該レジスト膜をパターニングした後、パターン化されたレジスト膜をマスクとしてシリコン窒化膜をパターニングにし、それによってマスクパターン25を形成する。その後、レジスト膜をアッシング処理により除去する。

【0050】次に、例えばICP型ドライエッチング装置を用いて、図5(b)に示すように、マスクパターン25を用いてポリシリコン膜24に対してドライエッチングを行なうことにより、ゲート電極24aを形成する。ここで、具体的なドライエッチング条件は、プラズマガス種がHBrガスとCl₂ガスとの混合ガス(流量比はHBr:Cl₂=100:15)、ドライエッチング装置のチャンパー内の全圧力が8Pa、シリコン基板21に印加するバイアス電力が60W、プラズマ発生用のソースパワーが500Wである。

【0051】本実施形態においては、前述のドライエッチングにより、ポリシリコン膜24におけるマスクパターン25の外側部分を除去して、熱処理後のHfO₂膜23aにおけるマスクパターン25(つまりゲート電極24a)の外側部分を露出させた後、引き続いて、HfO₂膜23aの露出部分に対してドライエッチングを行なう。そして、HfO₂膜23aの露出部分、つまりHfO₂膜23aにおけるゲート電極24aの外側部分の厚さが3nm程度になったところでドライエッチングを停止する。これにより、HfO₂膜23aにおけるゲート電極24aの外側部分の全体がプラズマ中のイオン等によるダメージを受ける結果、図5(b)に示すように、シリコン基板21におけるゲート電極24aの外側部分の上には、ウェットエッチング可能なダメージ層23bのみが残される。

【0052】ここで、HfO₂膜の膜厚制御について図6を用いて説明する。図6は、本発明者らにより得られた、熱処理後のHfO₂膜及び熱処理なしのHfO₂膜(つまりアズベコ状態の膜)のそれぞれのドライエッチングレートの比較結果を示す図である。ここで、該比較結果は、図5(b)に示すゲート電極24aの形成工程における前述のドライエッチング条件を用いて得られたものである。図6において、横軸はエッチング時間を示しており、縦軸はエッチングされたHfO₂膜の膜厚を示している。また、参考のため、図6において、熱酸化膜(SiO₂膜)のドライエッチングレートも示している。図6の実験結果に示すように、熱処理なし(熱処

理前)のHfO₂膜のドライエッチングレートは約30Å/minであり、熱処理後のHfO₂膜のドライエッチングレートは約25Å/minである。すなわち、熱処理前後でHfO₂膜のドライエッチングレートがほぼ同じであるため、熱処理後のHfO₂膜に対してドライエッチングによる膜厚制御を比較的簡単に行なえることが分かる。従って、予め厚さ1乃至3nm程度のHfO₂膜が基板表面に残るようなドライエッチング条件を予め抽出しておくことにより、後工程のウェットエッチングにより除去可能な厚さを持つダメージ層(HfO₂膜)が残るようにドライエッチングを行なうことができる。

【0053】次に、図5(c)に示すように、例えば1重量%濃度程度のフッ酸が含まれた希フッ酸(DHF)溶液を用いてダメージ層23bに対してウェットエッチングを行ない、それによってダメージ層23b(つまりHfO₂膜23aの露出部分)を除去する。これにより、ドライエッチングダメージをシリコン基板21に与えることなく、HfO₂膜23aにおけるゲート電極24aの外側部分をウェットエッチングによって完全に除去できる。その結果、シリコン基板21上に、HfO₂膜23aよりなる高誘電率ゲート絶縁膜を介してゲート電極24aが形成された構造が完成する。尚、マスクパターン25の除去は、図5(c)に示すウェットエッチング工程の前に行なってもよいし又は該ウェットエッチング工程の後に行なってもよい。

【0054】その後、図示は省略しているが、従来から知られている通常のMOSトランジスタ製造プロセスに従ってトランジスタを形成する。具体的には、イオン注入技術により、ソース領域及びドレイン領域となるエクステンション用の不純物拡散層を形成した後、シリコン窒化膜等よりなるゲート側壁絶縁膜を形成する。続いて、ソース領域及びドレイン領域となる高濃度不純物拡散層を形成した後、サリサイドプロセス及び層間絶縁膜形成等を行なう。

【0055】以上に説明したように、第2の実施形態によると、HfO₂膜23が堆積されたシリコン基板21に対して熱処理を行なった後、熱処理後のHfO₂膜23aの上にポリシリコン膜24を形成する。その後、ポリシリコン膜24をパターニングしてゲート電極24aを形成すると共にHfO₂膜23aにおけるゲート電極24aの外側部分を露出させる。その後、HfO₂膜23aの露出部分の表面をプラズマに暴露した後、該露出部分をウェットエッチングにより除去する。すなわち、第2の実施形態においては、高誘電率ゲート絶縁膜となるHfO₂膜23aにおけるゲート電極24aの外側部分の除去に、本発明のウェットエッチング方法を用いるため、HfO₂膜23aの除去対象部分を完全に除去することが可能となる。このため、次工程以降のプロセスにおいて、HfO₂膜23aを構成する金属(Hf)に

起因して汚染が生じる事態を確実に回避することができる。従って、従来のMOSプロセスにおけるゲート絶縁膜として、シリコン酸化膜に代えてHfO₂膜つまり高誘電率金属酸化膜を用いた場合にも、高信頼性を有する半導体装置を歩留まり良く製造することができる。

【0056】また、第2の実施形態によると、HfO₂膜23aにおけるゲート電極24aの外側部分をプラズマに暴露する際に、ゲート電極形成領域を覆うマスクパターン25を用いてポリシリコン膜24及びHfO₂膜23aに対して順次プラズマエッチングを行ない、それによってHfO₂膜23aにおけるゲート電極24aの外側部分を薄くする。このため、HfO₂膜23aにおけるゲート電極24aの外側部分、つまりHfO₂膜23aの除去対象部分を薄膜化することにより、該除去対象部分の全体にダメージ層23bを形成できるので、該除去対象部分をウェットエッチングにより完全に除去することが可能となる。

【0057】尚、第2の実施形態において、HfO₂膜23の堆積にスパッタ法を用いたが、これに代えて、CVD法等の他の方法を用いてもよい。CVD法を用いる場合、通常の熱CVD法を用いてもよいし、又はソースガスをパルス状に供給することによりhigh-k層(HfO₂層)を原子1層分ずつ堆積するALD(Atomic Layer Deposition)法を用いてもよい。

【0058】また、第2の実施形態において、ゲート電極となる導電膜の種類は特に限定されるものではない。ゲート電極となる導電膜は、例えば金属膜とシリコン膜との積層構造を有していてもよい。この場合、導電膜をパターンニングするためのドライエッチングにおいて、エッチング対象毎に必要なに応じてエッチング条件を変更してもよい。但し、シリコン膜(ポリシリコン膜)がゲート電極の一部又は全部に用いられる場合には、金属酸化膜(本実施形態ではHfO₂膜)の表面改質のためのプラズマ処理の際に、ゲート電極を構成するポリシリコン膜の側面がエッチングされることを防止する必要がある。従って、この場合の表面改質プラズマ処理に用いられるガスは酸素を含まないことが好ましい。

【0059】具体的には、第2の実施形態において、図5(b)に示すドライエッチング工程では酸素ガスを使用していない。これは、ゲート電極24aとなるポリシリコン膜24がサイドエッチングされないように考慮したためである。金属酸化膜にダメージ層を形成するためのプラズマ処理においては、エッチング作用を特に有していないガス等を含めて、多くの種類のガスが使用可能である。しかし、金属酸化膜上にポリシリコン膜が形成されているような場合、エッチングガスが酸素ガスを含むと、酸素ガスよりなるプラズマがポリシリコン膜をその側面からエッチングしてしまう恐れがある。そこで、金属酸化膜(本実施形態ではHfO₂膜)に対するプラズマ処理(本実施形態ではエッチングを含む)の際に

は、ポリシリコン膜がサイドエッチングされないように酸素ガスを用いないようにすることが好ましい。また、この点に留意して、ゲート電極となるポリシリコン膜に対するエッチング工程と、HfO₂膜に対するエッチング工程とを、互いに異なるエッチング条件で行なってもよい。

【0060】また、第2の実施形態において、熱処理後のHfO₂膜23aに対するプラズマ処理で用いるプラズマガス種は特に限定されるものではないが、HBrを含むガスよりなるプラズマを用いると次のような効果が得られる。すなわち、熱処理等によって表面が変質したHfO₂膜に対して、HBrを含むガスがドライエッチング作用を持つので、HfO₂膜にダメージ層を形成すると同時にHfO₂膜を薄膜化することができる。これにより、HfO₂膜の全体にダメージ層を形成できるので、HfO₂膜をウェットエッチングにより完全に除去することが可能となる。但し、HBrを含むガスは、基板に対してもダメージを与えるため、ウェットエッチングの前に、HBrを含むガスよりなるプラズマにHfO₂膜の表面を暴露する場合、該プラズマ処理によって任意の膜厚までHfO₂膜をエッチングした後、HfO₂膜に対してウェットエッチングを行なうことが好ましい。このようにすると、基板へのダメージを低減しながら、ウェットエッチングによるHfO₂膜の除去を行なうことができる。

【0061】また、第2の実施形態において、熱処理後のHfO₂膜23a(ダメージ層23b)に対するウェットエッチングで用いる薬液は特に限定されるものではないが、フッ素を含む薬液を用いると次のような効果が得られる。すなわち、ウェットエッチングによってダメージ層23bを確実に除去することができる。

【0062】また、第2の実施形態において、ゲート絶縁膜としてHfO₂膜を用いたが、ゲート絶縁膜となる金属酸化膜は特に限定されるものではない。具体的には、ハフニウム、ジルコニウム、ランタン、タンタル及びアルミニウムのうちの少なくとも1つを含む酸化膜、例えばジルコニウム酸化膜、ランタン酸化膜、タンタル酸化膜又はアルミニウム酸化膜等であれば本実施形態と同様の効果が得られる。

【0063】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置の製造方法、具体的には本発明のウェットエッチング方法(第1の実施形態参照)を用いて、HfO₂膜等の金属酸化膜をゲート絶縁膜として備えたりプレイスメント型トランジスタを製造する方法について図面を参照しながら説明する。

【0064】図7(a)～(d)及び図8(a)～(c)は、第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0065】まず、図7(a)に示すように、シリコン基板51上に例えばSTI(shallow trench isolatio

n) 構造を持つ素子分離絶縁膜 52 を形成する。続いて、シリコン基板 51 上に、例えば厚さ 1~5 nm 程度のシリコン酸化膜よりなるダミーゲート絶縁膜 53 (最終的に除去される) を形成する。続いて、ダミーゲート絶縁膜 53 の上に、例えば厚さ 150 nm 程度のポリシリコン膜よりなるダミーゲート電極 54 (最終的に除去される) を形成する。ダミーゲート絶縁膜 53 及びダミーゲート電極 54 は、通常の半導体プロセスで使用する、酸化法又は CVD 法等の各種成膜技術、リソグラフィ技術及びエッチング技術等を用いて形成される。続いて、ダミーゲート電極 54 をマスクとしてシリコン基板 51 に対してイオン注入を行なうことにより、ソース領域及びドレイン領域となるエクステンション用の不純物拡散層 (図示省略) を形成する。続いて、CVD 法及びドライエッチング法により、ダミーゲート電極 54 の側面に、例えばシリコン酸化膜等よりなる幅 20~40 nm 程度のゲート側壁絶縁膜 (サイドウォール) 55 を形成する。次に、ダミーゲート電極 54 及びゲート側壁絶縁膜 55 をマスクとしてシリコン基板 51 に対してイオン注入を行なうことにより、ソース領域及びドレイン領域となる高濃度不純物拡散層 (図示省略) を形成する。さらに、ダミーゲート電極 54 をマスクとして、サリサイドプロセス技術により、ソース領域及びドレイン領域のそれぞれの上のみに、例えば厚さ 40 nm 程度のコバルトシリサイド膜 (図示省略) を形成する。その後、ダミーゲート電極 54 等の上を含むシリコン基板 51 の上に、例えば CVD 法によりシリコン酸化膜等よりなる層間絶縁膜 56 を堆積した後、例えば化学機械研磨 (CMP) 法により層間絶縁膜 56 を平坦化してダミーゲート電極 54 の上面を露出させる。

【0066】次に、図 7 (b) に示すように、例えば HBr 等のハロゲン原子を含むガスを用いて、ダミーゲート電極 54 を、層間絶縁膜 56 及びゲート側壁絶縁膜 55 に対して選択的に除去する。さらに、例えば希フッ酸溶液等を用いたウェットエッチングにより、ダミーゲート絶縁膜 53 を除去する。これにより、層間絶縁膜 56 に、ゲート側壁絶縁膜 55 を壁面とする凹部 (ゲート電極形成用溝) 57 が形成される。

【0067】次に、図 7 (c) に示すように、例えばスパッタ法又は CVD 法により、層間絶縁膜 56 の上に、ゲート絶縁膜となる厚さ 5 nm 程度の HfO₂ 膜 (堆積直後の HfO₂ 膜) 58 を形成する。これにより、凹部 57 が途中まで埋まる。

【0068】次に、シリコン基板 51 に対して熱処理、例えば RTN 処理を行なう。ここで、具体的な熱処理条件は、チャンパー内雰囲気は素素雰囲気、熱処理温度が 800℃、熱処理時間が 60 秒である。この熱処理により、HfO₂ 膜 (堆積直後の HfO₂ 膜) 58 は、図 7 (d) に示すように、ウェットエッチング不可能な HfO₂ 膜 (熱処理後の HfO₂ 膜) 58a となる。

【0069】尚、本実施形態において、以上に説明した図 7 (a) ~ (d) に示す工程は、N 型 MIS トランジスタ形成領域及び P 型 MIS トランジスタ形成領域の双方に対して行なわれるが、各図面においては一方のトランジスタ形成領域のみを示しており、他方のトランジスタ形成領域については図示を省略している。

【0070】次に、図 8 (a) に示すように、熱処理後の HfO₂ 膜 58a の上に、例えば CVD 法等を用いて、ゲート電極となるタングステン膜 59 を、凹部 57 が完全に埋まるように堆積する。

【0071】次に、図 8 (b) に示すように、例えば CMP 技術又はドライエッチング技術を用いて、タングステン膜 59 における凹部 57 の外側部分を除去することによって、凹部 57 にゲート電極 59a を形成する。これにより、HfO₂ 膜 58a における凹部 57 の外側部分が露出する。続いて、HfO₂ 膜 58a の露出部分に対してプラズマドライエッチングを行ない、それにより該露出部分の厚さを 3 nm 程度まで薄くする。このとき、シリコン基板 51 にバイアス電力を印加することにより、プラズマ中のイオン 60 等により、HfO₂ 膜 58a の露出部分の全体がダメージを受ける。その結果、図 8 (b) に示すように、層間絶縁膜 56 における凹部 57 の外側部分の上には、ウェットエッチング可能なダメージ層 58b のみが残される。

【0072】次に、図 8 (c) に示すように、例えば 1 重量% 濃度程度のフッ酸が含まれた希フッ酸 (DHF) 溶液を用いてダメージ層 58b に対してウェットエッチングを行ない、それによってダメージ層 58b (つまり HfO₂ 膜 58a の露出部分) を除去する。これにより、HfO₂ 膜を CMP 法によって除去した場合のように Hf による金属汚染を発生させまいことなく、HfO₂ 膜 58a における凹部 57 の外側部分をウェットエッチングによって完全に除去できる。その結果、HfO₂ 膜 58a よりなる高誘電率ゲート絶縁膜を介してゲート電極 59a が凹部 57 に形成された、リプレイスメント型トランジスタ構造が完成する。

【0073】以上に説明したように、第 3 の実施形態によると、シリコン基板 51 上にダミーゲート絶縁膜 53 を介してダミーゲート電極 54 を形成した後、ダミーゲート電極 54 の側面にゲート側壁絶縁膜 55 を形成し、その後、ダミーゲート電極 54 及びゲート側壁絶縁膜 55 のそれぞれの上を含むシリコン基板 51 の上に層間絶縁膜 56 を、ダミーゲート電極 54 が露出するように形成する。その後、ダミーゲート電極 54 及びダミーゲート絶縁膜 53 を除去し、それによりゲート側壁絶縁膜 55 を壁面とする凹部 57 を層間絶縁膜 56 に形成した後、層間絶縁膜 56 の上に HfO₂ 膜 58 を、凹部 57 が途中まで埋まるように堆積する。その後、HfO₂ 膜 58 が堆積されたシリコン基板 51 に対して熱処理を行なった後、熱処理後の HfO₂ 膜 58a の上にタングス

テン膜 59 を、凹部 57 が完全に埋まるように堆積する。その後、タングステン膜 59 における凹部 57 の外側部分を除去することによって、凹部 57 にゲート電極 59 a を形成すると共に HfO₂ 膜 58 a における凹部 57 の外側部分を露出させる。その後、HfO₂ 膜 58 a の露出部分の表面をプラズマに暴露した後、該露出部分をウェットエッチングにより除去する。すなわち、第 3 の実施形態では、リプレイスメント型の M I S トランジスタの形成において、高誘電率ゲート絶縁膜となる HfO₂ 膜 58 a における凹部 57 (ゲート電極形成用凹部) の外側部分の除去に、本発明のウェットエッチング方法を用いるため、HfO₂ 膜 58 a の除去対象部分を完全に除去することが可能となる。具体的には、HfO₂ 膜を CMP 法によって除去した場合のように Hf による金属汚染を発生させてしまうことを確実に防止できる。このため、次工程以降のプロセスにおいて、HfO₂ 膜 58 a を構成する金属に起因して汚染が生じる事態を確実に回避することができる。従って、ゲート絶縁膜として、シリコン酸化膜に代えて HfO₂ 膜つまり高誘電率金属酸化膜を用いた場合にも、信頼性が高いリプレ

【0074】また、第 3 の実施形態によると、HfO₂ 膜 58 a における凹部 57 の外側部分、つまり HfO₂ 膜 58 a の露出部分をプラズマに暴露する際に、該露出部分に対してプラズマエッチングを行ない、それによって該露出部分を薄くする。このため、HfO₂ 膜 58 a の露出部分、つまり HfO₂ 膜 58 a の除去対象部分を薄膜化することにより、該除去対象部分の全体にダメージ層 58 b を形成できるので、該除去対象部分をウェットエッチングにより完全に除去することが可能となる。

【0075】尚、第 3 の実施形態において、HfO₂ 膜 58 の堆積方法は特に限定されるものではない。

【0076】また、第 3 の実施形態において、ゲート電極となる導電膜の種類は特に限定されるものではない。

【0077】また、第 3 の実施形態において、熱処理後の HfO₂ 膜 58 a に対するプラズマ処理 (本実施形態ではプラズマドライエッチング) で用いるプラズマガス種は特に限定されるものではないが、HBr を含むガスよりなるプラズマを用いると次のような効果が得られる。すなわち、熱処理等によって表面が変質した HfO₂ 膜に対して、HBr を含むガスがドライエッチング作用を持つので、HfO₂ 膜にダメージ層を形成すると同時に HfO₂ 膜を薄膜化することができる。これにより、HfO₂ 膜の全体にダメージ層を形成できるので、HfO₂ 膜をウェットエッチングにより完全に除去することが可能となる。但し、HBr を含むガスは、基板に対してもダメージを与えるため、ウェットエッチングの前に、HBr を含むガスよりなるプラズマに HfO₂ 膜の表面を暴露する場合、該プラズマ処理によって任意の

膜厚まで HfO₂ 膜をエッチングした後、HfO₂ 膜に対してウェットエッチングを行なうことが好ましい。このようにすると、基板へのダメージを低減しながら、ウェットエッチングによる HfO₂ 膜の除去を行なうことができる。

【0078】また、第 3 の実施形態において、熱処理後の HfO₂ 膜 58 a (ダメージ層 58 b) に対するウェットエッチングで用いる薬液は特に限定されるものではないが、フッ素を含む薬液を用いると次のような効果が得られる。すなわち、ウェットエッチングによってダメージ層 58 b を確実に除去することができる。

【0079】また、第 3 の実施形態において、ゲート絶縁膜として HfO₂ 膜を用いたが、ゲート絶縁膜となる金属酸化膜は特に限定されるものではない。具体的には、ハフニウム、ジルコニウム、ランタン、タンタル及びアルミニウムのうちの少なくとも 1 つを含む酸化膜、例えばジルコニウム酸化膜、ランタン酸化膜、タンタル酸化膜又はアルミニウム酸化膜等であれば本実施形態と同様の効果が得られる。

【0080】

【発明の効果】本発明によると、熱処理により変質された金属酸化膜、つまりウェットエッチングされにくくなった金属酸化膜の表面をプラズマに暴露する。このため、金属酸化膜に、ウェットエッチングされやすいダメージ層が形成される。従って、ダメージ層が形成された金属酸化膜をウェットエッチングによって確実に除去することができる。

【図面の簡単な説明】

【図 1】本願発明者らにより得られた、熱処理後の HfO₂ 膜を様々な薬液に浸した場合における HfO₂ 膜の膜厚変化の調査結果を示す図である。

【図 2】本願発明者らにより得られた、熱処理後の HfO₂ 膜のウェットエッチング量のプラズマ処理時間に対する依存性の調査結果を示す図である。

【図 3】(a) ~ (d) は本発明の第 1 の実施形態に係るウェットエッチング方法の各工程を示す断面図である。

【図 4】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 5】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 6】本願発明者らにより得られた、熱処理後の HfO₂ 膜及び熱処理なしの HfO₂ 膜のそれぞれのドライエッチングレートの比較結果を示す図である。

【図 7】(a) ~ (d) は本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 8】(a) ~ (c) は本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

11 シリコン基板

- 1 2 堆積直後のHfO₂膜
- 1 2 a 熱処理後のHfO₂膜
- 1 2 b ダメージ層
- 1 3 プラズマ中のイオン
- 2 1 シリコン基板
- 2 2 素子分離絶縁膜
- 2 3 堆積直後のHfO₂膜
- 2 3 a 熱処理後のHfO₂膜
- 2 3 b ダメージ層
- 2 4 ポリシリコン膜
- 2 4 a ゲート電極
- 2 5 マスクパターン
- 5 1 シリコン基板

【図 1】

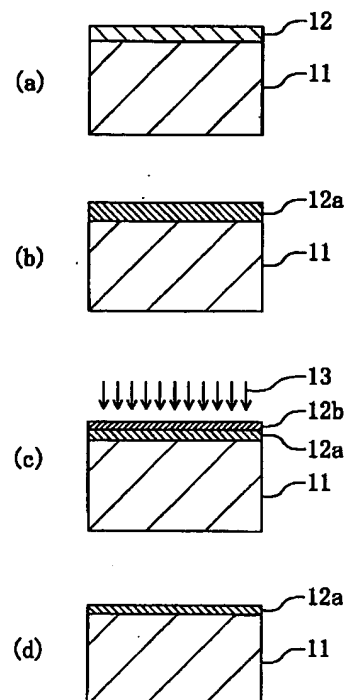
薬液	濃度(%)	時間(min)	Δ(A)	備考
KOH	2(重量%)	3	-2	
HCL	3.5	3	6	
HF	50	1	4	
HF	10	3	0	はがれ
フッ化アンモ	4	3	0	
HF	1.2	3	-4	
HF	1.2	3	0	
HF	10	0.5	3	
HF	10	1	10	
HF	5	1	-4	
HF	5	2	231	はがれ
HF+NH ₄ OH	1	1	-1	(原液:HF 1%50ml+NH ₃ 10%1ml)
HF+NH ₄ OH	1	1	0	(原液:HF 1%50ml+NH ₃ 10%2ml)
HF+NH ₄ OH	1	1	0	(原液:HF 1%50ml+NH ₃ 10%3ml)
HF+NH ₄ OH	1	1	-5	(原液:HF 1%50ml+NH ₃ 10%10ml)
硫酸	10	1	1	
硫酸	10	3	0	
塩酸	10	1	-3	
塩酸	10	3	-4	
硝酸	10	3	4	
硝酸	10	1	-5	
リン酸	10	1	1	
リン酸	10	3	-1	
過水	10	3	1	
過水+HF	10+10	1.5	0	はがれ
過水+HF	3+1	1	6	(H ₂ O ₂ 3%50ml+HF 1%50ml)
過水+HF	3+1	3	10	(H ₂ O ₂ 3%50ml+HF 1%50ml)
酢酸	原液	1	4	
酢酸	原液	3	1	
ヒトキシ	40	1	-2	
ヒトキシ	40	3	1	
P.S.エッチ液	原液	1	-15	(硝酸:酢酸:フッ酸=200:80:3)
P.S.エッチ液	原液	3	-117	はがれ(硝酸:酢酸:フッ酸=200:80:3)
アモブ	30	1	7	
アモブ	30	3	4	
HF+過水	2+3	3	-2	
HF+過水	2+3	6	1	

- 5 2 素子分離絶縁膜
- 5 3 ダミーゲート絶縁膜
- 5 4 ダミーゲート電極
- 5 5 ゲート側壁絶縁膜
- 5 6 層間絶縁膜
- 5 7 凹部
- 5 8 堆積直後のHfO₂膜
- 5 8 a 熱処理後のHfO₂膜
- 5 8 b ダメージ層
- 10 5 9 タングステン膜
- 5 9 a ゲート電極
- 6 0 プラズマ中のイオン

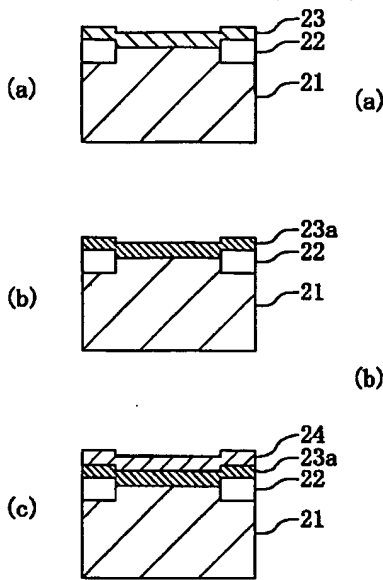
【図 2】

プラズマ処理時間[min]	プラズマ種	
	HBr+Cl ₂ +O ₂	HBr+Cl ₂
プラズマ処理時間[min]	ウエットエッチ量[Å]	ウエットエッチ量[Å]
1.0		9.5
2.0	17.5	21.7
4.0	13.6	18.3
5以上		28.1

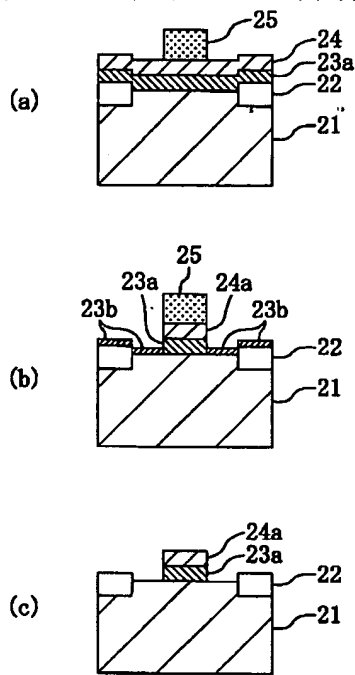
【図 3】



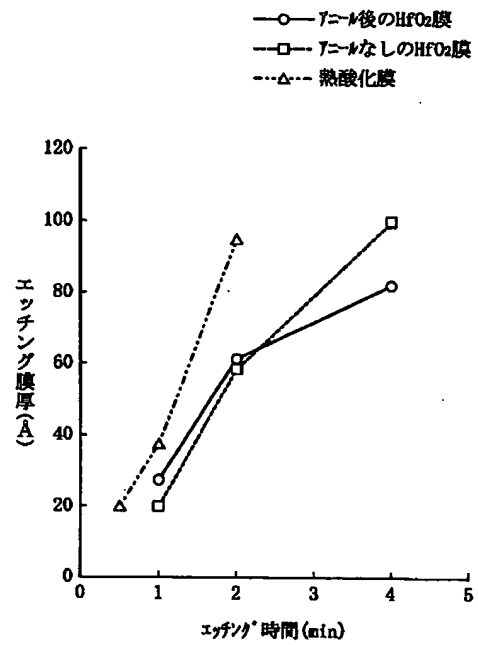
【図4】



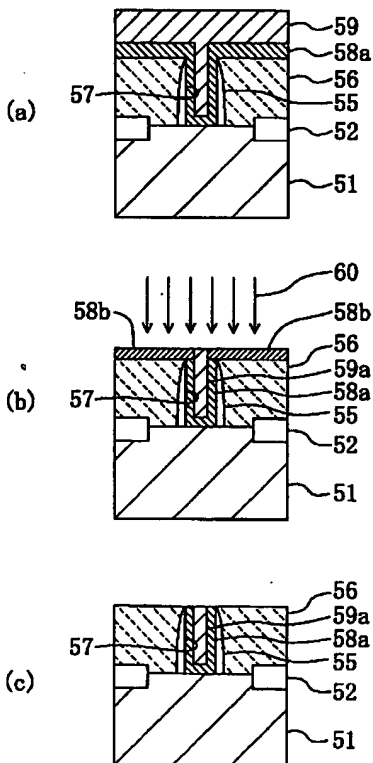
【図5】



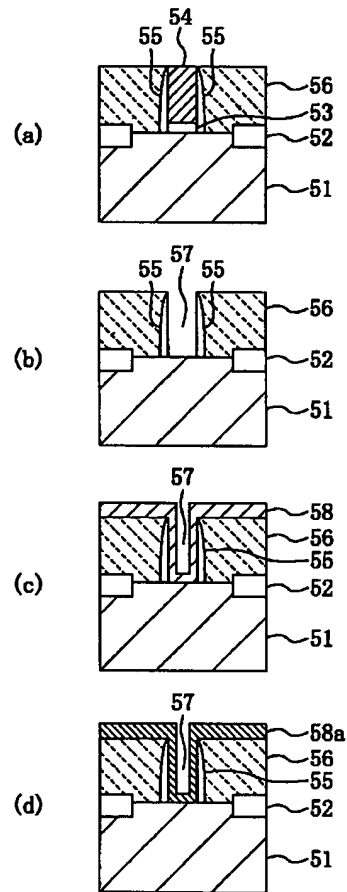
【図6】



【図8】



【図 7】



フロントページの続き

(72)発明者 林 重徳

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F043 AA37 BB25 DD02 GG10

5F140 AA00 AA24 AA39 BA01 BD11
BD12 BE09 BE10 BE14 BE17
BF01 BF04 BF07 BG03 BG04
BG08 BG09 BG11 BG12 BG14
BG22 BG36 BG38 BG40 BG52
BG53 BH14 BJ01 BJ08 BK02
BK05 BK13 BK34 CB04 CC03
CE07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.